

一种低噪声高纹波抑制比的 LDO 设计

黄 松,姜洪雨,刘 智,耿增建

(西安微电子技术研究所,陕西 西安 710119)

摘 要:提出了一种低噪声高电源纹波抑制比(PSR)的低压差线性稳压器(LDO).该低压差线性稳压器通过提高带隙基准和误差放大器的噪声抑制性能以及 PSR 性能以达到提高 LDO 性能的目的.在 $0.6\ \mu\text{m}$ BiCMOS 工艺下进行了流片验证,测试结果表明,当负载电流为 100 mA 时,100 Hz 电源纹波抑制比为 75 dB;10 kHz 时电源纹波抑制比为 72 dB.输出噪声电压(100 Hz~100 KHz)为 $15\ \mu\text{V}_{\text{RMS}}$.

关键词: 低压差线性稳压器;噪声;电源纹波抑制比

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2018)10-0089-04

Design of a Low Noise High PSR Low Dropout Regulator

HUANG Song,JIANG Hong-yu,LIU Zhi,GENG Zeng-jian

(Xi'an Microelectronics Technology Institute,Xi'an 710119,China)

Abstract: A low dropout regulator (LDO) with low output noise voltage and high power supply ripple rejection ratio (PSR) is described. The LDO improves the ability of power supply ripple rejection and output noise voltage suppression by improving power supply ripple rejection ratio and output noise voltage suppression of the band-gap reference and the differential amplifier. This approach is tested in $0.6\ \mu\text{m}$ BiCMOS process. The results show that the PSR at 100 Hz is 75 dB and at 10 kHz is 72 dB, when the load current is 100 mA. The output noise voltage is $15\ \mu\text{V}_{\text{RMS}}$ (100 Hz to 100 kHz).

Key words: LDO; NOISE; PSR

1 引言

电源管理 IC 为便携式应用供电并且提供电池管理,典型产品包括 PWM/PFM 控制 IC,DC/DC 调制 IC 以及线性稳压 IC 等,在这些产品中,电压调节 IC 是产量最大、发展最快的一部分.对于噪声敏感的应用例如射频、通信设备以及基站等,常常需要电源管理 IC 能提供干净、低噪声的内部电源,同时还能抑制来自外部电源的纹波.线性稳压器由于没有开关电路,非常适合为噪声敏感型应用供电.相关的文献提出了几种提高 PSR 和噪声抑制特性的方法:(1)将两级 LDO 级联,提高 PSR 特性,但会使电路压差变大^[1];(2)使用二极管连接的 MOS 管代替反馈中的无源电阻来降低噪声,但会使反馈电阻的匹配很难实现^[2];(3)功率管采用 NMOSFET 来提

高 PSR,但会使压差变大,同时效率降低^[3];(4)使用两级误差放大器来提升噪声抑制和纹波抑制性能,但这会使电路更复杂占用更大的面积^[4];(5)使用斩波稳定误差放大器来降低 $1/f$ 噪声,但这会使电路变复杂增加功耗^[5];其他的方法包括使用环路增益稳定器,固定误差放大器输出直流电压从而提高 PSR^[6]、使用无源滤波器降低热噪声^[7]等.

针对上述问题,本文采用以下方式提高 LDO 的电源纹波抑制比,降低 LDO 输出噪声电压:(1)设计一款低噪声带隙基准并在带隙基准输出端增加一个高效的滤波网络,滤除高频噪声和纹波;(2)设计一款低噪声高 PSR 的误差放大器;(3)采用共源共栅结构和基区宽度调制补偿电路降低 LDO 对电源电压的依赖性;(4)增加一条电源噪声前馈通路以提高 LDO 电源纹波抑制能力.

2 LDO 系统结构

LDO 主要包括四个部分:误差放大器、带隙基准、功率 MOS 管以及采样反馈电路(如图 1 所示). LDO 的工作原理是将电源输出端的采样反馈电压与基准电压进行比较,通过误差放大器放大这两个电压的差值,并控制功率管的输出电流,从而实现稳定输出电压.工作过程中当输出电压降低时,反馈电压也随之降低,由于带隙基准输出值保持不变,从而误差放大器输出电压变小,功率管栅源电压增大,流过功率管的电流增大,LDO 输出电压会向升高的方向变化.同理,当输出电压升高时,也可以通过这个负反馈来维持输出电压趋于稳定.

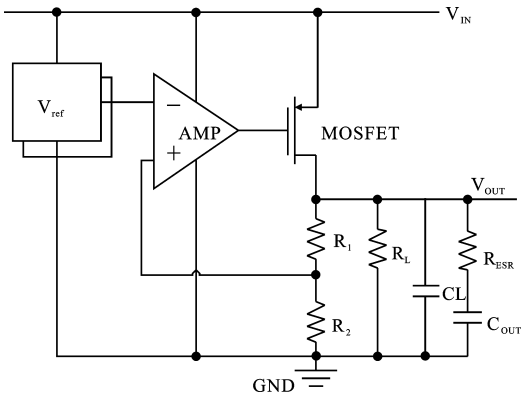


图 1 LDO 基本结构

为了提高 LDO 的性能,有两个问题需要考虑:(1)LDO 应该有足够高的电源纹波抑制比以抑制来自外部电源的纹波干扰;(2)LDO 输出噪声电压应该足够低从而给下一级提供高品质的电源供给.因此,降低噪声和提高电源纹波抑制比具有重要的实用意义.

3 LDO 的噪声和电源纹波抑制比分析

3.1 LDO 主要噪声源分析

如图 2 所示,每个器件对 LDO 的输出噪声都有贡献.也就是说,总输出噪声是依赖于构成 LDO 的各个器件的.

总输出噪声为:

$$V_{N(OUT)} = \left(1 + \frac{R_1}{R_2}\right) * (V_{N(R_1)} + V_{N(R_2)} + V_{N(REF)}) + V_{N(AMP)} + V_{N(FET)} \quad (1)$$

式中, $V_{N(R_1)}$ 和 $V_{N(R_2)}$ 分别代表电阻 R_1 和 R_2 的热噪声, $V_{N(AMP)}$ 代表误差放大器的输出噪声, $V_{N(REF)}$ 代表基准电压源的输出噪声, $V_{N(FET)}$ 代表功率 MOSFET 的噪声.

然而,实际工程中,由于电路实现的工艺条件等限制,面面俱到的降低各个元器件的输出噪声是难以实现的.因此,要有效地降低 LDO 的噪声,可以通过对电路分析找出主要噪声源,采取有效的措施降低主要噪声源的噪声,以达到整体噪声的降低.

对于高性能电压源电路而言,电路中一般会有电阻、三极管以及电容等器件,因此,式(1)的后三项中 $V_{N(REF)}$ 占主要地位($V_{N(REF)} \gg V_{N(R_1)}$ 、 $V_{N(REF)} \gg V_{N(R_2)}$).

由此可得:

$$V_{N(OUT)} \approx V_{N(AMP)} + V_{N(FET)} + (V_{N(REF)}) * \left(1 + \frac{R_1}{R_2}\right) \quad (2)$$

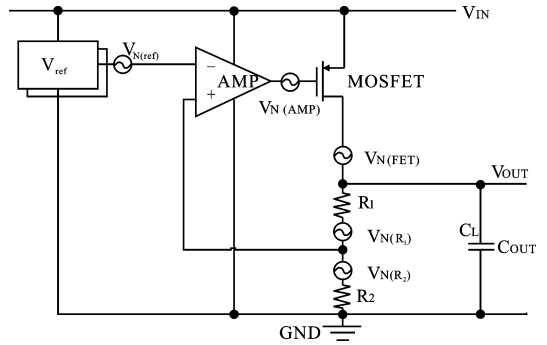


图 2 LDO 等效噪声源结构图

在计算等效噪声时,需要将各部分器件的噪声折合到输入端口,对于大尺寸的功率管而言,计算其等效输入噪声时要将功率管的输出噪声除以误差放大器和功率管的增益之积,由于误差放大器的增益很大,所以功率管的等效输入噪声相比于误差放大器和基准电压源的噪声可以忽略不计.

因此(2)式可简化为:

$$V_{N(OUT)} \approx V_{N(AMP)} + (V_{N(REF)}) * \left(1 + \frac{R_1}{R_2}\right) \quad (3)$$

由上式可知,LDO 的输出噪声主要依赖于带隙基准源的噪声和误差放大器的噪声,降低带隙基准源和误差放大器的噪声可以显著降低 LDO 的输出噪声.

3.2 LDO 的电源纹波抑制比分析

LDO 除了输出稳定的电压之外,另一个作用就是隔绝供电电源噪声,为驱动电路提供干净的电源.

图 3 是 LDO 的电源纹波抑制特性系统框图,图中标出了各级的增益和电源纹波抑制特性^[8].

由 PSR 的定义可得

$$PSR_{LDO} = \frac{PSR_{01}}{A_{01} * \beta} + \frac{PSR_{02}}{A_{01} * A_{02} * \beta} +$$

$$\frac{\text{PSR}_{\text{FET}}}{A_{01} * A_{02} * A_{\text{FET}} * \beta} \quad (4)$$

式中, A_{01} , A_{02} , A_{FET} 分别为第一级、第二级以及功率级的增益, PSR_{01} , PSR_{02} , PSR_{FET} 分别为第一级、第二级和功率级的 PSR.

β 为反馈系数,其表达式为:

$$\beta = \frac{R_2}{R_1 + R_2} \quad (5)$$

为了提高 LDO 的电源纹波抑制特性,需要式(4)最小,可以减小第一级、第二级以及功率级的电源纹波抑制比,也可以增大 LDO 的环路增益来提高 LDO 的电源纹波抑制特性.

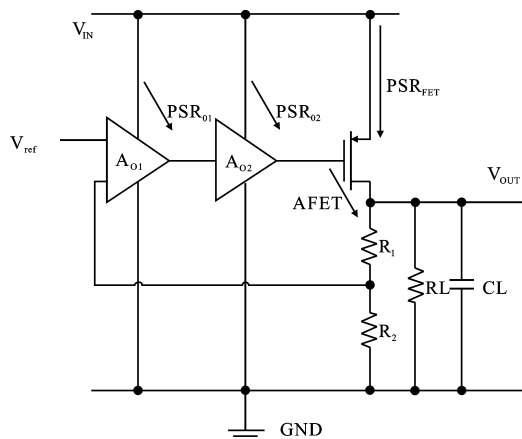


图3 LDO系统的电源纹波抑制特性

带隙基准作为 LDO 的参考电压,其电源纹波抑制比是决定 LDO 电源纹波抑制比特性的关键因素之一. 由图 1 可知,低频时对于带隙基准引起的电源纹波增量是 PSR_{BAG} 的 $\frac{1}{\beta}$ 倍^[9].

4 LDO 电路设计

4.1 带隙基准源的设计

为了尽可能降低 LDO 的输出噪声,设计了如图 4 所示的带隙基准源. 由于 MOSFET 的 $1/f$ 噪声远大于双极型晶体管的 $1/f$ 噪声,而在低频时, $1/f$ 噪声才是最重要的,因此本文采用简单的电路结构并用双极型晶体管来实现带隙基准的核心电路以减小带隙基准的低频输出噪声电压,还节省了晶片面积.

QN3, QN4, QN5, QN6 以及 R3 等构成启动电路,由外部信号控制,启动电路工作,带隙基准电路正常工作后会启动电路关断,减小功率的消耗.

为了实现版图上的对称, QN1 和 QN2 的面积

之比选择 1:8. 基准电压源输出电压为

$$\begin{aligned} V_{\text{REF}} &= V_{\text{BE1}} + \frac{2R_2 * \Delta V_{\text{BE}}}{R_1} \\ &= V_{\text{BE1}} + \frac{2R_2 * V_T * \text{LN}(8)}{R_1} \end{aligned} \quad (6)$$

合理地选择 R1、R2 的值,就可以得到温度系数较小的带隙基准源.

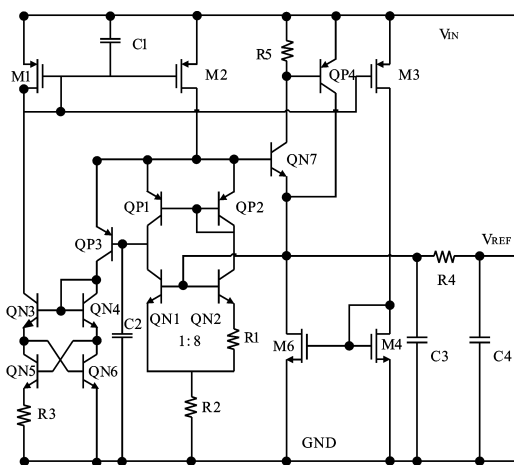


图4 降低输出噪声的带隙基准电路图

一方面,采用双极型晶体管降低了带隙基准源的低频输出噪声电压;另一方面,基准电压源输出端接 II 型滤波网络形成低通滤波电路,滤除基准电压源输出高频噪声电压,相比传统的 RC 滤波器 II 型滤波网络滤波效果明显提高,同时还能提高基准电压源的电源纹波抑制比,基准电压源的输出噪声曲线如图 5 所示,输出噪声电压 (100 Hz ~ 100 KHz) 为 $3.7 \mu\text{V}_{\text{RMS}}$.

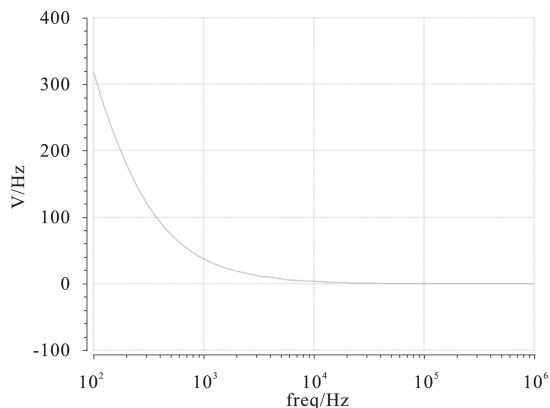


图5 带隙基准输出噪声电压曲线

4.2 误差放大器及传输晶体管的设计

为了有效地降低 LDO 的输出噪声并提高电源纹波抑制比,设计了如图 6 所示的误差放大器. 采用共源共栅结构不仅提高了增益,还能减小由于

沟道长度调制效应引起的对电源的依赖性,提高误差放大器的电源纹波抑制比;采用跨导运放结构是为了降低第一级的输出噪声电压,增大第一级的电压增益,这样就能最大限度地降低误差放大器的输出噪声电压.为了使系统更加稳定,采用了零极点对消的补偿方法使放大器具有较高的稳定性,C1 和 P9 既实现了频率补偿还形成了一条电源噪声前馈通路,电源噪声经过该前馈通路和源跟随器之后与 PMOS 功率管源极电源纹波抵消,从而提高了 LDO 的电源纹波抑制能力. LDO 的增益和相位曲线如图 7 所示,单位增益交点处的相位裕度约为 50 度.

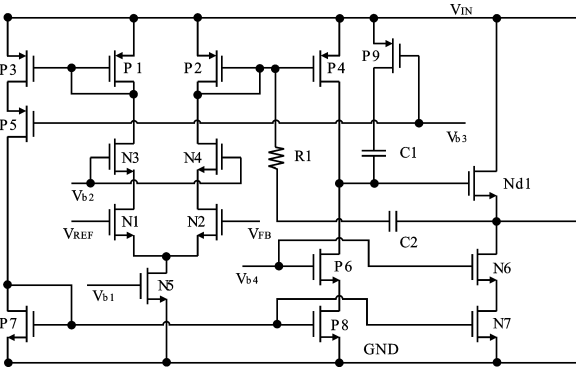


图 6 本文所设计的误差放大器电路图

为了使 LDO 达到低压差,功率管采用 PMOS-FET 实现,在输出端采用片外大电容的形式对电路进行补偿,片外大电容形成 LDO 的主极点,还能抑制电压波动,有利于 LDO 更稳定工作.

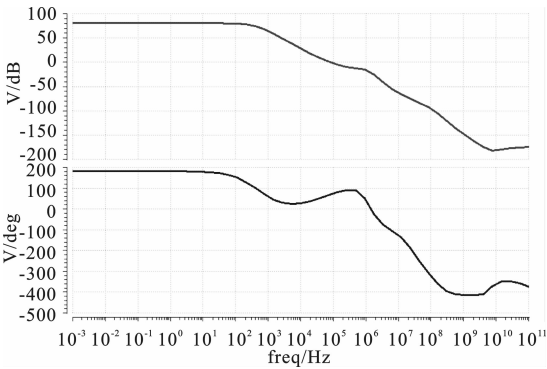


图 7 LDO 的环路增益及相位裕度曲线

5 工艺流片验证

电源纹波抑制比显示了电源噪声对输出电压的影响程度,在 2.7 V 电压下,对电路进行频率扫描, LDO 的电源纹波抑制比曲线如图 8 所示. 由图中可得:无论负载电流多大,对于 10 KHz 以下的电源纹

波本文设计的 LDO 的 PSR 都大于 68 dB.

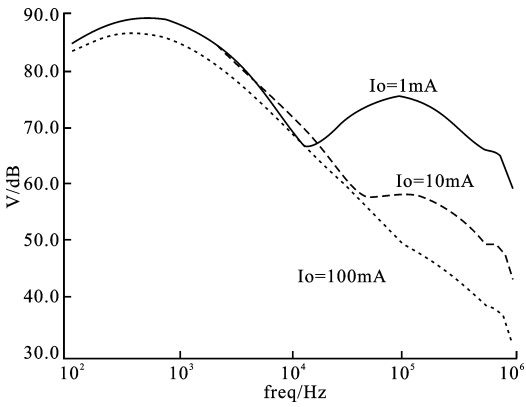


图 8 LDO 的 PSR 特性曲线

输出噪声也是 LDO 的重要的性能参数之一,在 2.7 V 电压下,LDO 输出噪声电压密度谱如图 9 所示.

表 1 列出了本文设计的 LDO 与其他参考文献 LDO 的性能对比.

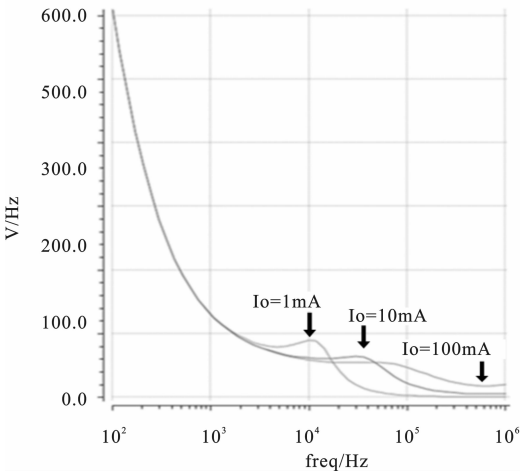


图 9 LDO 的输出噪声电压密度谱

6 结束语

本文首先对提高 LDO 电源纹波抑制比及降低噪声特性的各种方法进行了阐述,然后进一步分析了各个模块对 LDO 电源纹波和噪声特性的影响,提出了通过提高带隙基准和误差放大器的性能来提高 LDO 电源纹波抑制比和降低输出噪声电压特性的设计.最后在 0.6 μ m BiCMOS 工艺下进行了流片验证,测试结果表明,100 Hz 电源纹波抑制比为 75 dB;10 kHz 时电源纹波抑制比为 72 dB. 输出噪声电压(100 Hz~100 KHz)为 15 μ V_{RMS}.

(下转第 98 页)

精度.

参考文献:

[1] 杨菊靖,张达敏,张慕雪. 一种混合改进的鸡群优化算法[J/OL]. 计算机应用研究,2018,35(11):[2017-11-10]. <http://kns.cnki.net/kcms/detail/51.1196.TP.20171115.1041.006.html>.

[2] 李振璧,王康,姜媛媛. 基于模拟退火的改进鸡群优化算法[J]. 微电子学与计算机,2017,34(2): 30-33.

[3] 肖亮,刘思彤. 基于认知多样性变异的鸡群算法协同优化异步实现[J]. 计算机科学,2017,44(6A): 99-104.

[4] Haupt R, Haupt S. Practical genetic algorithm[M]. New York: John Wiley and Sons, 2004.

[5] 张铃,张钊. 佳点集遗传算法[J] 计算机学报,2001,24(9): 917-922.

[6] 程军盛,张铃. 基于佳点集遗传算法求解 Job-shop 调度问题[J]. 计算机科学,2002,29(4): 67-68.

[7] Shi Y H, Eberhart R C. A modified particle swarm optimizer[C]// Proceeding s of the IEEE Congresson Evolutionary Computation. Piscataway, USA: IEEE Service Center, 1998, 69-73.

[8] 陈闯, Ryad Chellali, 邢尹. 采用动态权重和概率扰动策略改进的灰狼优化算法[J]. 计算机应用, 2017(12): 3493-3497.

作者简介:

郑家明 男,(1991-),硕士研究生. 研究方向为机器学习、图像处理. E-amil:ngdzjm@163.com.

Ryad Chellali 男,(1964-),教授,博士. 研究方向为机器人、虚拟和增强现实、机器学习等.

陈 闯 男,(1992-),硕士研究生. 研究方向为最优化理论、语音信号处理.

邢 尹 女,(1992-),硕士研究生. 研究方向为机器学习、GNSS 技术及应用.

(上接第 92 页)

表 1 LDO 的性能对比

文献	工艺/ μm	PSR/dB	噪声/ μV
[5]	0.6	38dB@100kHz	14 μVRMS @1kHz~100kHz
[6]	0.25	50dB@10kHz	14.8 μVRMS @10Hz~100kH
[7]	0.18	60dB@1MHz	—
本文	0.6	72dB@10kHz	15uVRMS@100Hz~100kHz

参考文献:

[1] Gupta V, Rincon M G. A 5mA 0.6um CMOS Miller Compensated LDO regulator with -27dB worst case power supply rejection using 60pF of on-chip capacitance[C]//ISSCC. San Fancisco, CA, USA: IEEE , 2007:520-521.

[2] 王建伟,张启帆,张先仁等. 一种用于 VCO 供电的低噪声 LDO[J]. 微电子学,2015,45(5):602-606.

[3] EL-Nozahim, Amer A, Torres J, et al. High PSR low drop-out regulator with feed-forward ripple cancellation technique[J]. IEEE Journal of Solid-state Circuit, 2010,45(3):565-577.

[4] 阴亚东,阎跃鹏. 一种低噪声高电源抑制比 CMOS 低压差线性稳压器[J]. 固体电子学研究进展,2013,33(6):571-577.

[5] Wonseok Oh, Bakkaloglu B , Aravind B, et al. A Low 1/f Noise CMOS Low-Dropout Regulator with Current-Mode Feedback Buffer Amplifier[J]. IEEE Cus-

tom Integrated Circuits Conference, 2015, 54(10): 213-216.

[6] Magod R, Suda N, Ivanov V, et al. A low-noise output capacitorless low-dropout regulator with a switched-RC bandgap reference[J]. IEEE Transactions on Power Electronics, 2017,32(4):2856-2864.

[7] Lim Y , Lee J, Lee Y, et al. An External Capacitor-Less Ultralow-Dropout Regulator Using a Loop-Gain Stabilizing Technique for High Power-Supply Rejection Over a Wide Range of Load Current[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems ,2017,25(11):3006 - 3018.

[8] 王忆. 高性能低压差线性稳压器研究与设计[D]. 杭州:浙江大学,2010.

[9] 张龙,来强涛,刘生有等. 一种全负载稳定的高 PSRR LDO 的设计[J]. 微电子学与计算机,2017,34(2): 58-62.

作者简介:

黄 松 男,(1993-),硕士研究生. 研究方向为模拟集成电路设计. E-mail:1085796485@qq.com.

姜洪雨 男,(1977-),硕士,高级工程师. 研究方向为专用集成电路设计.

刘 智 男,(1972-),博士,研究员. 研究方向为通信集成电路及数模混合集成电路设计.

耿增建 男,(1958-),研究员. 研究方向为专用集成电路设计.